

UMA ARQUITETURA CORDIC HIPERBÓLICO DE BAIXO CUSTO DE HARDWARE E EFICIENTE ENERGETICAMENTE

MAILARA DE AVILA NEITZKE¹; MORGANA DA ROSA²; RAFAEL SOARES³

¹Universidade Federal de Pelotas – mailaraneitzkeeng@gmail.com

²Universidade Católica de Pelotas – morgana.azevedo@ucpel.edu.br

³Universidade Federal de Pelotas – rafael.soares@inf.ufpel.edu.br

1. DESCRIÇÃO DA INOVAÇÃO

A inovação consiste em um bloco de propriedade intelectual de hardware (*IP Core*) de ultra-baixo consumo de energia para o algoritmo CORDIC Hiperbólico apresentado na Figura 1. O produto destina-se ao cálculo rápido e preciso de funções hiperbólicas ($\sinh$, $\cosh$, $\tanh$ e exponenciais), voltado à aceleração de hardware em processamento de sinais e imagens, comunicações sem fio e inteligência artificial. Diferente das abordagens clássicas baseadas nos fundamentos de Volder (1959) e Walther (1971), que exigem circuitos adicionais de controle e repetições de estágios para assegurar a convergência hiperbólica, a solução proposta simplifica a estrutura iterativa de deslocamento e soma (*shift-and-add*). Sintetizada em tecnologia CMOS 65 nm (1,25 V) com palavra de 16 bits (sendo 14 bits dedicados à mantissa), a arquitetura aplica um pré-condicionamento no vetor de entrada: para ângulos pequenos ($|\theta_0| < 0,122$ rad), insere-se um ganho de normalização inicial ($x_0 = K + 2^{-(f-1)}$). Essa estratégia compensa as distorções angulares sem a necessidade de multiplicadores, permitindo executar um número linear de iterações sem repetições de estágios e truncando o processo no limite de precisão da mantissa ($i = f = 14$).

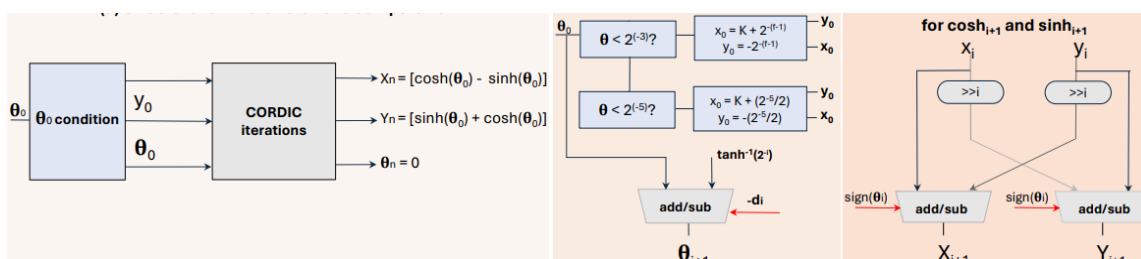


Figura 1: Arquitetura do CORDIC Hiperbólico: (a) Estrutura geral de micro-rotações; (b) Condicionamento de ângulo inicial e vetor; (c) Iteração por deslocamento e soma.

Em comparação com as soluções do estado da arte sintetizadas sob a mesma tecnologia CMOS 65 nm e frequência de operação, o *IP Core* destaca-se pela sua ocupação de silício ultra compacta de apenas 6.722 μm^2 , reduzindo a área em 15% em relação a Verma et al. (2023) e em até 80% frente a Aggarwal et al. (2013). No aspecto energético, apresenta consumo de 13,9 μW a 100 MHz e 73,06 μW a 666,66 MHz, garantindo uma economia de energia de 57,7% frente a Verma et al. (2023) e de 87,8% a 97,7% em relação a Aggarwal et al. (2013). Além da eficiência estrutural obtida pela eliminação de multiplicadores e repetição de estágios, a arquitetura reduz o erro máximo normalizado em até 81% para a função $\cosh$ e 87% para $\sinh$ em comparação a Verma et al. (2023), atingindo melhorias de 11,47 vezes na Energia por Operação (EPO) e 43,11 vezes no Produto Energia-Erro (EEP) frente a Aggarwal et al. (2013).

2. ANÁLISE DE MERCADO

A inovação destina-se a empresas do setor de semicondutores, projetistas de circuitos integrados de aplicação específica (ASICs) e desenvolvedores de sistemas em chip (*System-on-Chip* — SoC), com foco em empresas *fabless* e indústrias de equipamentos biomédicos e embarcados de ultra-baixo consumo. O produto atende à demanda crescente por blocos matemáticos de alta precisão que ocupem reduzida área de silício e estendam a vida útil da bateria em dispositivos portáteis operando sob severas restrições energéticas. As aplicações da solução abrangem o processamento e a separação de sinais biomédicos, como eletrocardiogramas (ECG) e eletroencefalogramas (EEG), a aceleração de funções de ativação para redes neurais profundas em computação de borda (*Edge AI*), além de sistemas de comunicação sem fio e criptografia.

O posicionamento competitivo em relação às soluções do estado da arte sintetizadas sob a mesma tecnologia CMOS 65 nm é evidenciado pelos dados de síntese lógica apresentados na Tabela 1. A arquitetura desenvolvida por Aggarwal et al. (2013) utiliza aproximações por séries de Taylor de terceira ordem, resultando em uma área de silício de 33.696 μm^2 e consumo de potência de 598,2 μW . Por sua vez, Verma et al. (2023) empregam agrupamento de estágios, obtendo uma área de 7.982 μm^2 e consumo de 176,7 μW na frequência de 666,66 MHz. A solução proposta supera ambos os concorrentes ao operar na mesma frequência de 666,66 MHz com consumo de apenas 73,06 μW e área de 6.722 μm^2 , atingindo 13,9 μW na frequência de 100 MHz, além de reduzir o erro máximo normalizado em até 87%.

Trabalho Relacionado	Processo / Tensão	Frequência (MHz)	Área (μm^2)	Potência (μW)
Aggarwal et al. (2013)	N/A	476,16	33.696	598,20
Verma et al. (2023)	65 nm @ 1,00 V	666,66	7.982	176,70
Proposta (100 MHz)	65 nm @ 1,25 V	100,00	6.722	13,90
Proposta (666 MHz)	65 nm @ 1,25 V	666,66	6.722	73,06

Tabela 1: Comparativo de desempenho em hardware (CMOS 65 nm).

O potencial comercial da tecnologia orienta-se pela expansão do mercado global de blocos de Propriedade Intelectual de Semicondutores (*Semiconductor IP*), impulsionado pela alta demanda por SoCs para inteligência artificial e conectividade sem fio, que constituem o Mercado Total Endereçável (TAM). Nesse panorama, o Mercado Endereçável Servível (SAM) compreende os segmentos de aceleração matemática para processamento de sinais em dispositivos biomédicos e computação de borda. A estratégia de penetração no Mercado Acessível Objetivado (SOM) fundamenta-se no licenciamento do *IP Core* nos formatos *soft IP* e *hard IP* para *startups* e empresas *fabless* focadas em circuitos integrados de ultra-baixo consumo.

3. ESTRATÉGIA DE DESENVOLVIMENTO E IMPLEMENTAÇÃO

A estratégia de geração de receita fundamenta-se no licenciamento B2B de Propriedade Intelectual (*IP Core*) para indústrias de semicondutores e *design*

houses. O modelo comercial contempla a disponibilização da solução nos formatos de *soft IP* (código sintetizável em linguagem de descrição de hardware) e *hard IP* (layout físico otimizado para a tecnologia CMOS 65 nm). A monetização será estruturada por meio da cobrança de uma taxa inicial de licenciamento (*upfront license fee*), combinada com o recebimento de *royalties* percentuais incidentes sobre cada unidade de circuito integrado efetivamente produzida e comercializada pelos parceiros.

A solução técnica inovadora, que compreende a lógica de pré-condicionamento do vetor de entrada e a eliminação de iterações redundantes sem a necessidade de multiplicadores ou circuitos complexos de controle, possui viabilidade para proteção intelectual. Planeja-se o depósito de pedido de patente de invenção focado na arquitetura do circuito integrado e nos métodos de otimização de convergência para calculadores CORDIC hiperbólicos.

O desenvolvimento do projeto percorreu a modelagem matemática e algorítmica em ponto fixo de 16 bits, a descrição estrutural em linguagem de hardware, a síntese lógica utilizando a ferramenta Cadence Genus na biblioteca TSMC CMOS 65 nm (1,25 V) e a simulação funcional para validação de potência e área com a ferramenta Cadence Xcelium. Os próximos estágios compreendem a prototipagem física (*tape-out*), o desenvolvimento de kits de integração para clientes e os testes de validação em bancada sob condições operacionais reais.

TRL (Nível de Maturidade Tecnológica) A tecnologia encontra-se no nível TRL 4 (Validação de componente em ambiente de laboratório). A arquitetura foi inteiramente projetada, sintetizada e validada em ambiente de simulação industrial utilizando ferramentas EDA de padrão de mercado (Cadence) e biblioteca tecnológica comercial de 65 nm, demonstrando viabilidade funcional e métricas operacionais consolidadas.

Os principais desafios associados à comercialização da inovação envolvem a restrição teórica de precisão imposta pela mantissa de 14 bits e a complexidade de integração do bloco aos barramentos padrão de SoCs comerciais. Como estratégia de mitigação, a arquitetura foi otimizada para entregar o menor erro normatizado da literatura dentro do limite de 14 bits, enquanto as interfaces de entrada e saída foram padronizadas em palavras de 16 bits para assegurar compatibilidade direta com arquiteturas de processamento comerciais.

4. RESULTADOS ESPERADOS E IMPACTO

A implementação da arquitetura proposta gera um impacto direto na sustentabilidade da indústria de microeletrônica e na viabilização de tecnologias de saúde digital. Sob a perspectiva ambiental e econômica, a economia energética de até 97,7% e a redução da área de silício de até 80% em relação a Aggarwal et al. (2013) minimizam significativamente a pegada de carbono e o custo de fabricação por unidade de chip. Sob a perspectiva social, a ultra-baixa dissipação de potência de apenas 13,9 μW a 100 MHz possibilita o desenvolvimento de dispositivos biomédicos vestíveis e implantáveis de longa duração para o monitoramento contínuo de sinais eletrofisiológicos, como eletrocardiogramas (ECG) e eletroencefalogramas (EEG) (Chen et al., 2020), estendendo a autonomia da bateria e a qualidade de vida do paciente.

A viabilidade financeira do *IP Core* é impulsionada pela redução de custos operacionais e de fabricação. Como o custo de produção de semicondutores é diretamente proporcional à área ocupada na lâmina de silício, a dimensão ultracompacta de 6.722 μm^2 reduz os custos por pastilha (*die cost*). No modelo

B2B de licenciamento, estima-se um fluxo de receita crescente a partir do segundo ano de comercialização, combinando taxas de adesão para integração em projetos SoC e *royalties* por volume de unidades produzidas, prevendo-se rápido retorno sobre o investimento inicial de desenvolvimento em função da alta demanda por aceleradores energeticamente eficientes.

Como perspectiva de evolução e escalabilidade, a arquitetura CORDIC Hiperbólico possui potencial para ser adaptada a nós tecnológicos ainda mais avançados (como 28 nm e FinFETs) e para a integração em aceleradores de hardware dedicados a funções de ativação em redes neurais profundas (*Softmax* e *tanh*) em sistemas de inteligência artificial de borda (*Edge AI*) (Zhang et al., 2023). Pretende-se expandir o portfólio de soluções para incluir modos de operação reconfiguráveis e processamento vetorial paralelo.

5. CONCLUSÕES

A arquitetura do algoritmo CORDIC hiperbólico em CMOS 65 nm entrega uma solução de alto valor para a indústria de semicondutores: resolve o impasse entre precisão matemática e consumo de recursos de hardware. O ganho de normalização introduzido no pré-condicionamento do vetor de entrada elimina multiplicadores e repetições de estágios, reduzindo a área para apenas 6.722 μm^2 , a potência para 13,9 μW a 100 MHz e o erro máximo normatizado em até 87% frente ao estado da arte (Verma et al., 2023; Aggarwal et al., 2013). Os números comprovam a superioridade.

Chamada para Ação - Com o nível TRL 4 consolidado e as validações industriais concluídas em ambiente de simulação com a biblioteca TSMC 65 nm, a tecnologia está pronta para parcerias estratégicas com design houses, indústrias de semicondutores e agentes investidores. O próximo passo é financiar a etapa de prototipagem física em silício (tape-out) e os testes de bancada, acelerando a transferência da tecnologia para o mercado global de SoCs.

6. REFERÊNCIAS BIBLIOGRÁFICAS

- AGGARWAL, S.; MEHER, P. K.; KHARE, K. Scale-free hyperbolic CORDIC processor and its application to waveform generation. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 60, n. 2, p. 314-326, 2013.
- CHEN, Y.-H.; CHEN, S.-W.; WEI, M.-X. A VLSI implementation of independent component analysis for biomedical signal separation using CORDIC engine. *IEEE Transactions on Biomedical Circuits and Systems*, v. 14, n. 2, p. 373-381, 2020.
- VERMA, A.; KIYAWAT, K.; DAS, B. P.; MEHER, P. K. An efficient scaling-free folded hyperbolic CORDIC design using a novel low-complexity power-of-2 Taylor series approximation. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 31, n. 8, p. 1167-1177, 2023.
- VOLDER, J. E. The CORDIC trigonometric computing technique. *IRE Transactions on Electronic Computers*, v. EC-8, n. 3, p. 330-334, 1959.
- WALTHER, J. S. A unified algorithm for elementary functions. In: *PROCEEDINGS OF THE SPRING JOINT COMPUTER CONFERENCE (AFIPS '71)*, 1971, New York. *Proceedings...* New York: ACM, 1971. p. 379-385.
- ZHANG, Y.; PENG, L.; ZHANG, L.; SHI, Q.; CHEN, H. High-precision method and architecture for base-2 softmax function in DNN training. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 70, n. 8, p. 3268-3279, 2023.